

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294463

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 10-081210 (71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 27.03.1998 (72)Inventor : SAI BUNKI
TEI TOSHU

(30)Priority

Priority number : 97 9710691 Priority date : 27.03.1997 Priority country : KR

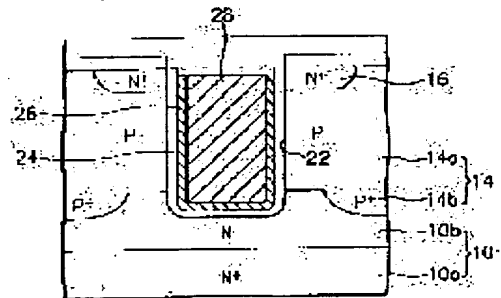
(54) TRENCH DMOS AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a leakage current and to improve the insulation characteristic of a gate oxide film by forming two conductive films with different characteristic in a trench where the gate oxide film is formed.

SOLUTION: N⁺-type and N⁻-type impurity ions are doped successively and a semiconductor substrate 10 with an N⁺-type region 10a and an N⁻-type region 10b are formed. An epitaxial layer 14 is formed on a semiconductor substrate 10 and an impurity ions are implanted, thus forming an N⁺-type source region 16. A trench 22 is formed through the epitaxial layer 14, and a gate oxide film 24 is formed on the bottom surface and the side surface of the trench 22.

Further, an amorphous silicon film 26 is formed on the inner surface of the gate oxide film 24, and a polysilicon film 28 is formed inside. In this manner, by forming two conductive films, the amorphous silicon film 26 with different characteristics from those of polysilicon is formed so that it is adjacent to the gate oxide film 24, thus reducing the distortion of the gate oxide film 24.



LEGAL STATUS

[Date of request for examination]

14.04.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294463

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁸

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

6 5 2 K

6 5 3 A

審査請求 未請求 請求項の数23 O L (全 8 頁)

(21) 出願番号 特願平10-81210
(22) 出願日 平成10年(1998) 3月27日
(31) 優先権主張番号 1 9 9 7 P - 1 0 6 9 1
(32) 優先日 1997年 3月27日
(33) 優先権主張国 韓国 (K R)

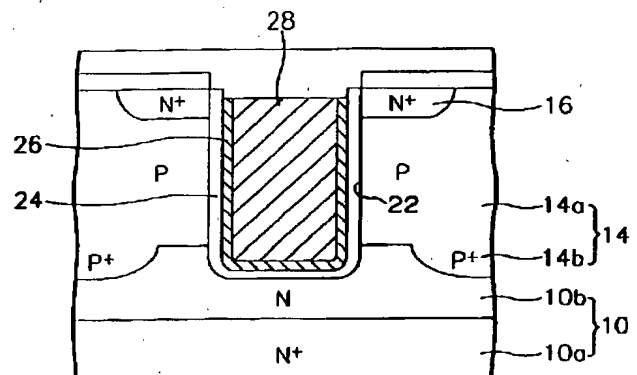
(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72) 発明者 崔 文 熙
大韓民国仁川市富平区渴山 2洞369番地
バンダーアパート 2-603
(72) 発明者 鄭 東 洙
大韓民国京畿道富天市元美区中 3洞1428番
地 韓羅マウル105洞1301号
(74) 代理人 弁理士 萩原 誠

(54) 【発明の名称】 トレンチDMOS及びその製造方法

(57) 【要約】

【課題】 トレンチゲート構造を持つトレンチDMOSの漏洩電流を減少させ、かつゲート酸化膜の絶縁特性を向上させることができるトレンチDMOS及びその製造方法を提供すること。

【解決手段】 トレンチ22の底面および側壁にゲート酸化膜24を形成したのち、その内面にアモルファスシリコン膜26を形成し、その内側にトレンチ22を埋めるようにポリシリコン膜28を形成する。



【特許請求の範囲】

【請求項1】 トレンチが形成された半導体基板と、前記トレンチの底面及び両側壁に形成されたゲート酸化膜と、このゲート酸化膜の底面及び両側壁に形成された第1導電膜と、前記トレンチを充填して前記第1導電膜上に形成されているが、この第1導電膜と異なる性質を持つ第2導電膜とを具備することを特徴とするトレンチDMOS。

【請求項2】 前記第1導電膜はアモルファスシリコン膜であり、前記第2導電膜はポリシリコン膜であることを特徴とする請求項1に記載のトレンチDMOS。

【請求項3】 前記第1及び第2導電膜は低圧化学気相蒸着法で形成されることを特徴とする請求項1に記載のトレンチDMOS。

【請求項4】 前記第1導電膜は500～1500Åの厚さの範囲内で形成されることを特徴とする請求項1に記載のトレンチDMOS。

【請求項5】 前記第1導電膜は540～580℃の温度範囲内で形成されることを特徴とする請求項1に記載のトレンチDMOS。

【請求項6】 前記第1導電膜は200～300mTorrの圧力の範囲内で形成されることを特徴とする請求項1に記載のトレンチDMOS。

【請求項7】 前記第2導電膜は1.15～1.25μmの厚さの範囲内で形成されることを特徴とする請求項1に記載のトレンチDMOS。

【請求項8】 前記第2導電膜は約620℃以上の温度で形成されることを特徴とする請求項1に記載のトレンチDMOS。

【請求項9】 第1導電型半導体基板と、この第1導電型半導体基板上に形成された第2導電型エピタキシャル層と、前記第1導電型半導体基板に到達して前記第2導電型エピタキシャル層に形成されたトレンチと、このトレンチの上部両側のエピタキシャル層に形成された第1導電型不純物領域と、前記トレンチの底面及び両側壁に形成されたゲート酸化膜と、このゲート酸化膜の底面及び両側壁に形成されたアモルファスシリコン膜と、前記トレンチを充填して前記アモルファスシリコン膜上に形成されたポリシリコン膜とを具備することを特徴とするトレンチDMOS。

【請求項10】 第1導電型半導体基板上にガードリングを底面に有する第2導電型エピタキシャル層を形成する工程と、前記第2導電型エピタキシャル層に不純物イオンを注入して第1導電型不純物領域を形成する工程と、前記第2導電型エピタキシャル層上に第1絶縁膜と第2絶縁膜を順次に形成する工程と、前記第2絶縁膜をマスクとして、前記第1絶縁膜と前記不純物領域を貫通して前記半導体基板に到達するように前記エピタキシャル層にトレンチを形成する工程と、このトレンチの底面及び両側壁に第3絶縁膜を形成する工程と、この第3絶

縁膜の底面及び両側面を含んで前記第2絶縁膜上に第1導電膜を形成する工程と、この第1導電膜上に第1導電膜と性質の異なる第2導電膜を形成する工程とを具備することを特徴とするトレンチDMOSの製造方法。

【請求項11】 前記第1導電膜はアモルファスシリコン膜であり、前記第2導電膜はポリシリコン膜であることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項12】 前記第1導電膜と第2導電膜は低圧化学気相蒸着法で形成されることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項13】 前記第1導電膜は500～1500Åの厚さの範囲内で形成されることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項14】 前記第1導電膜は540～580℃の温度範囲内で形成されることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項15】 前記第1導電膜は200～300mTorrの圧力の範囲内で形成されることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項16】 前記第2導電膜は1.15～1.25μmの厚さの範囲内で形成されることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項17】 前記第2導電膜は約620℃以上の温度で形成されることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項18】 前記第1絶縁膜は酸化膜であり、第2絶縁膜は窒化膜であることを特徴とする請求項10に記載のトレンチDMOSの製造方法。

【請求項19】 第1導電型半導体基板と、この第1導電型半導体基板上に形成された第2導電型エピタキシャル層と、前記第1導電型半導体基板に到達して前記第2導電型エピタキシャル層に形成され、上部のエッジ部分はラウンディング形状を持つトレンチと、このトレンチ上部両側のエピタキシャル層に形成された第1導電型不純物領域とを具備することを特徴とするトレンチDMOS。

【請求項20】 前記トレンチ両側壁の上部エッジ部分はアルゴンガスを利用した食刻工程でラウンディング形状を持つことを特徴とする請求項19に記載のトレンチDMOS。

【請求項21】 第1導電型半導体基板上に第2導電型エピタキシャル層を形成する工程と、前記第2導電型エピタキシャル層に不純物イオンを注入して不純物領域を形成する工程と、前記第2導電型エピタキシャル層上に絶縁膜を形成する工程と、トレンチを形成するトレンチ形成マスクを利用して、前記絶縁膜と前記エピタキシャル層を順次に食刻してトレンチを形成する工程と、前記トレンチの上部エッジ部分がラウンディング形状を持つようにトレンチの上部エッジ部分を食刻する工程とを具

備することを特徴とするトレンチDMOSの製造方法。

【請求項22】 第1導電型半導体基板と、この第1導電型半導体基板上に形成された第2導電型エピタキシャル層と、前記第1導電型半導体基板に到達して前記第2導電型エピタキシャル層に形成され、上部エッジ部分はラウンディング形状を持つトレンチと、このトレンチの上部両側のエピタキシャル層に形成された第1導電型不純物領域と、前記トレンチの底面及び両側壁に形成されたゲート酸化膜と、このゲート酸化膜の底面及び両側壁に形成されたポリシリコン膜とを具備することを特徴とするトレンチDMOS。

【請求項23】 第1導電型半導体基板上に第2導電型エピタキシャル層を形成する工程と、前記第2導電型エピタキシャル層に不純物イオンを注入して不純物領域を形成する工程と、前記第2導電型エピタキシャル層上に第1絶縁膜を形成する工程と、トレンチを形成するトレンチ形成マスクを利用して、前記第1絶縁膜と前記エピタキシャル層を順次に食刻してトレンチを形成する工程と、前記トレンチの上部エッジ部分がラウンディング形状を持つようにトレンチの上部エッジ部分を食刻する工程と、前記トレンチの底面及び両側壁に第2絶縁膜を形成する工程と、前記第2絶縁膜の底面及び両側面に第1導電膜を形成する工程と、前記第1導電膜上に前記第1導電膜と異なる性質の第2導電膜を形成する工程とを具備することを特徴とするトレンチDMOSの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関するものであり、より具体的には、トレンチゲート構造を持つTDMOS (Trench Double Diffused MOS) の漏洩電流を減少させ、又、ゲート酸化膜の絶縁特性を向上させるトレンチDMOS及びその製造方法に関するものである。

【0002】

【従来の技術】トレンチゲート構造を持つTDMOS素子はソースとドレインの間のチャンネル領域をトレンチ壁面に形成することにより、ゲートに電圧を印加したときに発生するソースとドレイン間の電流はトレンチ壁面を沿って垂直的に流れるようになる。このような、TDMOSのトレンチパターンは一般的に底面角の部分が直角あるいは緩慢ではない形状を持ち、従って、素子が動作する時、トレンチ底面角部分に電界が集中する。このため、トレンチ底面及び側壁に形成されたゲート酸化膜の漏洩電流が増加し、ゲート酸化膜の絶縁特性が大きく低下する問題点が発生する (US Patent No. 5, 142, 640 “TRENCH GATE METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTOR”)。

【0003】又、トレンチ両側上部のソース領域が形成

されているエッジ部分も直角の形態を持つので、電界の集中によるゲート酸化膜の漏洩電流増加及び絶縁特性低下の問題点が発生する (US Patent No. 5, 183, 775 “METHOD FOR FORMING CAPACITOR IN TRENCH OF SEMICONDUCTOR WAFER BY IMPLANTATION OF TRENCH SURFACE WITH OXYGEN”)。

【0004】

【発明が解決しようとする課題】上述した問題点を解決するために提案された本発明の一つの目的は、トレンチゲート構造を持つTDMOSの漏洩電流を減少させることができるトレンチDMOS及びその製造方法を提供することである。

【0005】本発明の他の目的はゲート酸化膜の絶縁特性を向上させるトレンチDMOS及びその製造方法を提供することである。

【0006】

【課題を解決するための手段】上述した目的を達成するために本発明によると、トレンチDMOSは、トレンチが形成された半導体基板と、前記トレンチの底面及び両側壁に形成されたゲート酸化膜と、このゲート酸化膜の底面及び両側壁に形成された第1導電膜と、前記トレンチを充填して前記第1導電膜上に形成されているが、この第1導電膜と異なる性質を持つ第2導電膜とを具備することを特徴とする。

【0007】上述した目的を達成するために本発明によると、トレンチDMOSは、第1導電型半導体基板と、この第1導電型半導体基板上に形成された第2導電型エピタキシャル層と、前記第1導電型半導体基板に到達して前記第2導電型エピタキシャル層に形成されたトレンチと、このトレンチの上部両側のエピタキシャル層に形成された第1導電型不純物領域と、前記トレンチの底面及び両側壁に形成されたゲート酸化膜と、このゲート酸化膜の底面及び両側壁に形成されたアモルファスシリコン膜と、前記トレンチを充填して前記アモルファスシリコン膜上に形成されたポリシリコン膜とを具備することを特徴とする。

【0008】上述した目的を達成するために本発明によると、トレンチDMOSの製造方法は、第1導電型半導体基板上にガードリングを底面に有する第2導電型エピタキシャル層を形成する工程と、前記第2導電型エピタキシャル層に不純物イオンを注入して第1導電型不純物領域を形成する工程と、前記第2導電型エピタキシャル層上に第1絶縁膜と第2絶縁膜を順次に形成する工程と、前記第2絶縁膜をマスクとして、前記第1絶縁膜と前記不純物領域を貫通して前記半導体基板に到達するように前記エピタキシャル層にトレンチを形成する工程と、このトレンチの底面及び両側壁に第3絶縁膜を形成する工程と、この第3絶縁膜の底面及び両側面を含んで

前記第2絶縁膜上に第1導電膜を形成する工程と、この第1導電膜上に第1導電膜と性質の異なる第2導電膜を形成する工程とを具備することを特徴とする。

【0009】上述した目的を達成するために本発明によると、トレンチDMOSは、第1導電型半導体基板と、この第1導電型半導体基板上に形成された第2導電型エピタキシャル層と、前記第1導電型半導体基板に到達して前記第2導電型エピタキシャルに形成され、上部のエッジ部分はラウンディング形状を持つトレンチと、このトレンチ上部両側のエピタキシャル層に形成された第1導電型不純物領域とを具備することを特徴とする。

【0010】上述した目的を達成するために本発明によると、トレンチDMOSの製造方法は、第1導電型半導体基板上に第2導電型エピタキシャル層を形成する工程と、前記第2導電型エピタキシャル層に不純物イオンを注入して不純物領域を形成する工程と、前記第2導電型エピタキシャル層上に絶縁膜を形成する工程と、トレンチを形成するトレンチ形成マスクを利用して、前記絶縁膜と前記エピタキシャル層を順次に食刻してトレンチを形成する工程と、前記トレンチの上部エッジ部分がラウンディング形状を持つようにトレンチの上部エッジ部分を食刻する工程とを具備することを特徴とする。

【0011】上述した目的を達成するために本発明によると、トレンチDMOSは、第1導電型半導体基板と、この第1導電型半導体基板上に形成された第2導電型エピタキシャル層と、前記第1導電型半導体基板に到達して前記第2導電型エピタキシャル層に形成され、上部エッジ部分はラウンディング形状を持つトレンチと、このトレンチの上部両側のエピタキシャル層に形成された第1導電型不純物領域と、前記トレンチの底面及び両側壁に形成されたゲート酸化膜と、このゲート酸化膜の底面及び両側壁に形成されたポリシリコン膜とを具備することを特徴とする。

【0012】上述した目的を達成するために本発明によると、トレンチDMOSの製造方法は、第1導電型半導体基板上に第2導電型エピタキシャル層を形成する工程と、前記第2導電型エピタキシャル層に不純物イオンを注入して不純物領域を形成する工程と、前記第2導電型エピタキシャル層上に第1絶縁膜を形成する工程と、トレンチを形成するトレンチ形成マスクを利用して、前記第1絶縁膜と前記エピタキシャル層を順次に食刻してトレンチを形成する工程と、前記トレンチの上部エッジ部分がラウンディング形状を持つようにトレンチの上部エッジ部分を食刻する工程と、前記トレンチの底面及び両側壁に第2絶縁膜を形成する工程と、前記第2絶縁膜の底面及び両側面に第1導電膜を形成する工程と、前記第1導電膜上に前記第1導電膜と異なる性質の第2導電膜を形成する工程とを具備することを特徴とする。

【0013】

【発明の実施の形態】以下本発明の実施の形態を図面を

参照して詳細に説明する。

第1実施形態

図1には本発明の第1実施形態による新しいトレンチDMOSが図示されている。

【0014】図1を参照すると、本発明の第1実施形態によるトレンチDMOSは、 N^+ 及び N^- 型の不純物イオンが順次にドーピングされた領域10aと10bを有する半導体基板10上にエピタキシャル層14が形成され、エピタキシャル層14に不純物イオンを注入して N^+ 型ソース領域16が形成される。エピタキシャル層14には貫通してトレンチ22が形成され、トレンチ22の底面及び側壁にはゲート酸化膜24が形成され、その内面にはアモルファスシリコン膜26が形成される。さらに、トレンチ22を充填してアモルファスシリコン膜26の内側にはポリシリコン膜28が形成される。前記ソース領域16はトレンチ22の上部両側に形成されている。エピタキシャル層14は、 P^- 型エピタキシャル層14aの底部に P^+ 型のガードリング14bを有する。

【0015】上述したように、上記トレンチDMOSはアモルファスシリコン膜26とポリシリコン膜28の二つの導電膜を持ち、ポリシリコンと性質の異なるアモルファスシリコン膜26がゲート酸化膜24に接するので、ゲート酸化膜24の歪みは急激に減少する。

【0016】図2ないし図4を参照して上述したような構造を持つ図1のトレンチDMOSの製造方法を詳細に説明すると、次のようである。

【0017】図2を参照すると、不純物イオンが順次にドーピングされた N^+ 型領域10a及び N^- 型領域10bを含む半導体基板10を形成する。エピタキシャル層14を N^- 型領域10b上に形成する。エピタキシャル層14は P^- 型エピタキシャル層14aと、その底で形成された P^+ 型のガードリング14bを含む。続いて、エピタキシャル層14に不純物イオンを注入して N^+ 型ソース領域16を形成する。

【0018】次に、 N^+ 型ソース領域16を含んでエピタキシャル層14上にトレンチが形成される領域を定義して熱酸化膜18及び窒化膜20を形成する。熱酸化膜18は1000～3500Åの厚さの範囲内で形成される。熱酸化膜18はトレンチを形成するための犠牲的酸化膜に利用される。次に、窒化膜20は窒化膜パターンを形成するようにパターンされる。そして、窒化膜パターン20をマスクに使用して、 N^+ 型ソース領域16を貫通して半導体基板10まで、エピタキシャル層14と熱酸化膜18を食刻してトレンチ22を形成する。その際、熱酸化膜18は例えば10:1の比率で作られたBOEソリューションを使用して除去される。

【0019】トレンチ22は図2に図示されているように基板10の N^- 型領域10bと接触し、基板10の N^- 型領域10bを部分的に食刻した部分を含む。しか

し、トレンチ22はP⁺型ガードリング14bとは接触しない。

【0020】図3に図示されているように、トレンチ22の底面及び側面に約1000Åの厚さの範囲内でゲート酸化膜24が熱酸化膜により形成される。この熱酸化膜24の工程が終わると、トレンチ22の両側面には約1000Åの厚さの範囲内で熱酸化膜が形成される。しかし、トレンチの底面と底面のエッジ部分に形成された酸化物の厚さは約600～700Å範囲内で形成される。トレンチ22の底面エッジ部分が直角になることにより、トレンチの底面あるいは底面のエッジ部分の酸化物の厚さはますます薄くなる。このような場合において、ゲート酸化膜24の電気的特性は非常に悪くなる。

【0021】この問題を解決するために、異なる性質を持つ二つの導電層が図4に図示されるようにゲート酸化膜24上に形成される。

【0022】すなわち、図4に図示されているように、第1導電型のアモルファスシリコン膜26が低圧化学気相蒸着(LPCVD; Low Pressure Chemical Vapor Deposition)方法により約500～1500Åの厚さの範囲内で酸化膜24に蒸着される。このとき、アモルファスシリコン膜26はまた窒化膜20上にも蒸着される。次に、アモルファスシリコン膜26とは異なる性質を持つ第2導電型のゲート電極用のためのポリシリコン膜28がトレンチ22を充填してアモルファスシリコン膜20上に蒸着される。ポリシリコン膜28は約1.15～1.25μmの厚さの範囲内で形成される。

【0023】この実施の形態で、ポリシリコン膜28に導電性を与えるため、POCl₃ドーピング工程やイオン注入が拡散炉内で実行される。

【0024】この実施の形態で、アモルファスシリコン膜26は約540～580℃の温度範囲及び約200～300mTorrの圧力範囲内で形成され、ポリシリコン膜28は約620℃以上の温度で形成される。

【0025】上述されたように、ゲート酸化膜24がアモルファスシリコン膜26と直接的に接触するので、ゲート酸化膜24の歪みは従来の方法と比較してみると、非常に減少させることができる。これは、約580℃より低い温度で蒸着されるアモルファス構造が、高い温度で形成されるポリシリコンより粒子が大きいからである。又、アモルファスシリコンの粒子は等軸構造を持つ。このような等軸構造のため蒸着されたポリシリコンの円形構造が相対的に安定的であり、ゲート酸化膜24は損傷を受けなくなる。

【0026】第2実施形態

図5は本発明の第2実施形態によるトレンチDMOSを示す。また、図6ないし図9は図5に図示されたDMOSの製造方法の工程を示す断面図である。

【0027】図5を参照すると、本発明の第2実施形態

によるトレンチDMOSは、N⁺及びN⁻型の不純物イオンが順次にドーピングされたN⁺型層100aとN⁻型層100bを有する半導体基板100上にエピタキシャル層104が形成され、このエピタキシャル層104に不純物イオンを注入してN⁺型ソース領域106が形成され、このN⁺型ソース領域106を貫通してエピタキシャル層104にトレンチ112が形成されているが、そのトレンチ112の上部エッジ部分114がラウンディング形状を持つように形成されている。ゲート酸化膜116はエピタキシャル層104上とトレンチ112の底面と両方の壁面に形成されている。ゲート電極用のためのポリシリコン膜118はトレンチ112に満たされているし、ゲート酸化膜116上に形成されている。前記ソース領域106はトレンチ112の上部両側に形成されている。エピタキシャル層104は、P⁻型エピタキシャル層104aの底部にP⁺型のガードリング104bを有する。

【0028】上述のように上記トレンチDMOSはトレンチ112の上部エッジ部分がラウンディング形状をもっているため、電界がトレンチ112の上部エッジ部分でゲート酸化膜116に集中することを防ぐことができる。

【0029】図6ないし図9を参照して上述したような構造を持つトレンチDMOSの製造方法を詳細に説明すると、次のようである。

【0030】図6を参照すると、半導体基板100はイオン不純物を注入して順次に形成されたN⁺型層100aとN⁻型層100bを持つ。エピタキシャル層104がN⁻型層100b上に形成される。エピタキシャル層104はP⁻型層104aの底面で形成されたP⁺型ガードリング104bを持つ。次に、N⁺型ソース領域106がエピタキシャル層104にN⁺不純物イオンを注入することにより形成される。その後、1000～3500Åの厚さの範囲の熱酸化膜108がエピタキシャル層104上に形成される。この熱酸化膜108はトレンチを形成するための犠牲的な酸化物として使用される。

【0031】次に、図7において、フォトレジスト膜110が熱酸化膜108上に形成され、フォトレジストパターンを形成する。熱酸化膜108とエピタキシャル層104の食刻がN⁺型ソース領域106を貫通して半導体基板100に到達するようにフォトレジストパターンをマスクとして行われ、トレンチ112が形成される。トレンチ112は、図7に図示されているように、基板100のN⁻型層100bの一部入り込んで形成される。又、トレンチ112はP⁺型ガードリング104bとは接触しない。

【0032】図8に図示されているように、フォトレジストパターンを除去した後、アルゴンガスを利用して乾式食刻を行う。すると、エッジ部分114でラウンディング形状を呈しながら熱酸化膜108が次第に薄く食刻

され、さらにトレンチ112の上部エッジ部分114が次第にラウンディング形状に食刻され、熱酸化膜108の食刻を終ると、図9に図示されるようにトレンチ112の上部エッジ部分114がラウンディング形状となる。

【0033】上記のような食刻を終了した後、図9で図示されているように、ゲート酸化膜116がエピタキシャル層104の表面を含んでトレンチ112の底面と両方の壁面に形成される。最後に、ゲート電極のためのポリシリコン膜118がトレンチ112を充填してゲート酸化膜116上に蒸着される。

【0034】第3実施形態

図10は本発明の第3実施形態によるトレンチDMOSを示す。また、図11ないし図14は図10のトレンチDMOSの製造方法を順次に示す。

【0035】図10を参照すると、本発明の第3実施形態によるトレンチDMOSは、 N^+ と N^- 型層100aと100bが N^+ と N^- 型の不純物イオンにより順次に形成された半導体基板100を持つ。エピタキシャル層104が基板100上に形成される。 N^+ 型ソース領域106が N^+ 不純物イオンをエピタキシャル層104に注入することにより形成される。トレンチ112がソース領域106とエピタキシャル層104を貫通して N^- 型層100bに到達するように形成される。このトレンチ112の上部エッジ部分114はラウンディング形状を持つ。ゲート酸化膜116がトレンチ112の底面と両方の壁面とエピタキシャル層104上に形成される。そして、アモルファスシリコン膜218がゲート酸化膜116上に形成されており、さらにゲート電極のためのポリシリコン膜118がトレンチ112を充填してアモルファスシリコン膜218上に形成される。前記ソース領域106は前記トレンチ112の上部両側に形成されている。エピタキシャル層104は P^- 型エピタキシャル層104aの底部に P^+ 型のガードリング104bを有する。

【0036】この実施形態のトレンチDMOSは、第1実施形態と第2実施形態のトレンチDMOSの効果を併せ持つ。

【0037】図11ないし図14を参照して上述構造のトレンチDMOSの製造方法を詳細に説明すると、次のようである。

【0038】図11ないし図13の過程（トレンチ112の上部エッジをラウンディング形状とする工程まで）は図6ないし図8と同じなので詳細な説明は省略する。

【0039】トレンチ112の上部エッジをラウンディング形状とした後、図14で図示されているように、ゲート酸化膜116がエピタキシャル層104の表面を含んでトレンチ112の底面と両方の壁面に形成される。次に、500～1500Åの厚さのアモルファスシリコン膜218が約540～580℃の温度範囲で低压化学

気相蒸着方法と約200～300mTorr範囲内の圧力を使用してゲート酸化膜116上に蒸着される。その後、ゲート電極を形成するためのポリシリコン膜118がトレンチ112を充填してアモルファスシリコン膜218上に蒸着される。ゲートポリシリコン膜118は620℃より高い温度で形成され、約1.15～1.25μm程度の厚さを持つ。

【0040】上述したような半導体装置及びその製造方法により、トレンチ112の上部部分をラウンディング形状にすることができる。従って、トレンチ112上部エッジ部分からのゲート酸化膜116の漏洩電流の問題点を解決することができる。

【0041】又、エッジ部分がラウンディング形状をもっているため、電界は上部エッジ部分に集中されない。

【0042】なお、上記の実施の形態は一具体例にすぎない。本発明は、本発明の思想と範囲を外さない範囲で多様な変形が考えられることはいうまでもない。例えば半導体基板部分とエピタキシャル層部分とを1つの半導体基板とすることもできる。

【0043】

【発明の効果】以上詳細に説明したように本発明によれば、ゲート酸化膜を形成したトレンチ内に性質の異なる2つの導電膜を形成するようにしたので、あるいはトレンチの上部エッジ部分をラウンディング形状に形成するようにしたので、トレンチゲート構造を持つトレンチDMOSの漏洩電流を減少させ、かつゲート酸化膜の絶縁特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構造を示す断面図。

【図2】本発明の第1の実施の形態の製造方法を示す断面図。

【図3】本発明の第1の実施の形態の製造方法を示す断面図。

【図4】本発明の第1の実施の形態の製造方法を示す断面図。

【図5】本発明の第2の実施の形態の構造を示す断面図。

【図6】本発明の第2の実施の形態の製造方法を示す断面図。

【図7】本発明の第2の実施の形態の製造方法を示す断面図。

【図8】本発明の第2の実施の形態の製造方法を示す断面図。

【図9】本発明の第2の実施の形態の製造方法を示す断面図。

【図10】本発明の第3の実施の形態の構造を示す断面図。

【図11】本発明の第3の実施の形態の製造方法を示す断面図。

【図12】本発明の第3の実施の形態の製造方法を示す断面図。

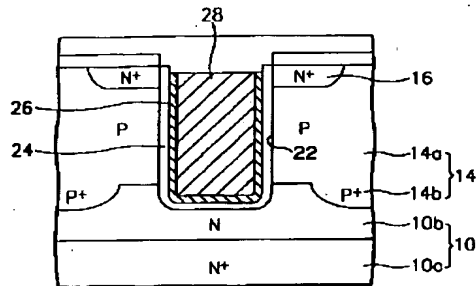
【図13】本発明の第3の実施の形態の製造方法を示す断面図。

【図14】本発明の第3の実施の形態の製造方法を示す断面図。

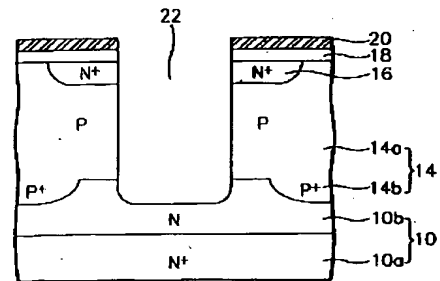
【符号の説明】

- 10 半導体基板
- 14 エピタキシャル層
- 16 ソース領域
- 22 トレンチ
- 24 ゲート酸化膜
- 26 アモルファスシリコン膜
- 28 ポリシリコン膜

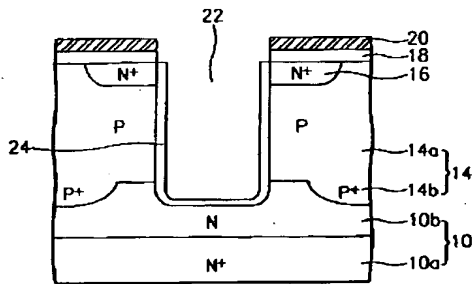
【図1】



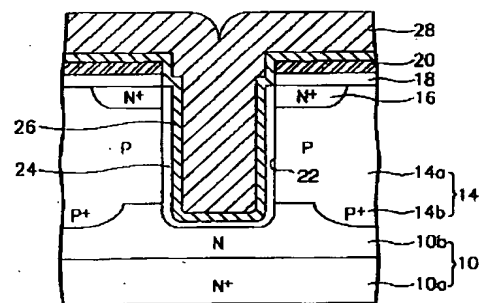
【図2】



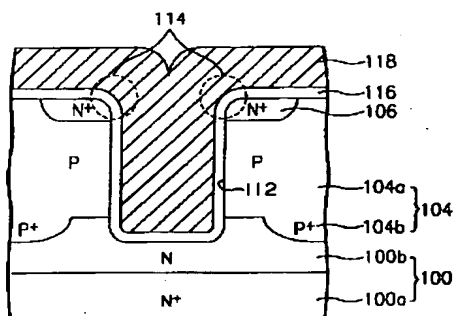
【図3】



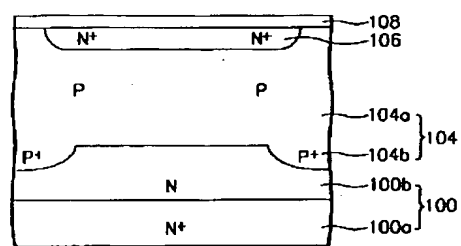
【図4】



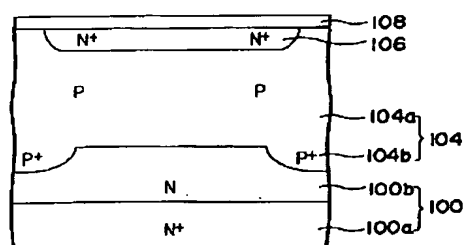
【図5】



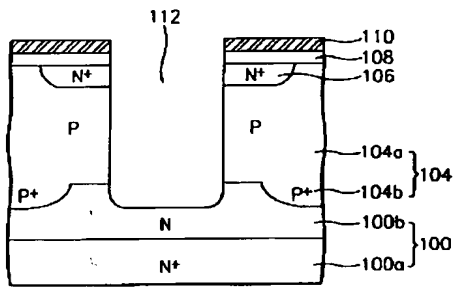
【図6】



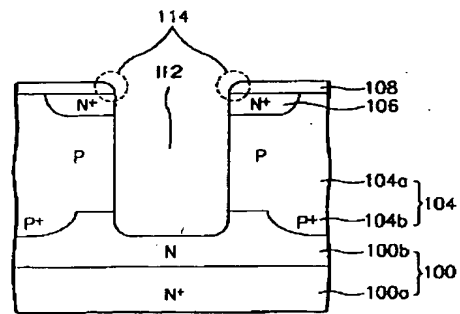
【図11】



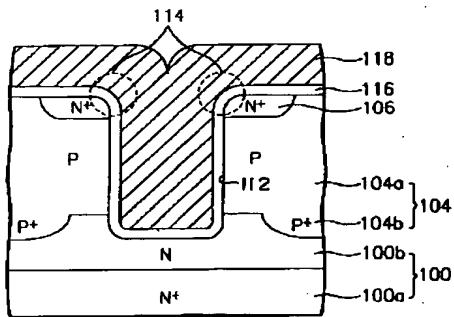
【図7】



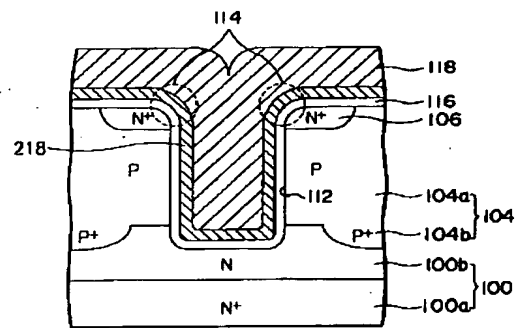
【図8】



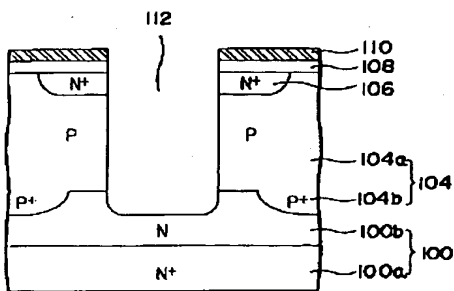
【図9】



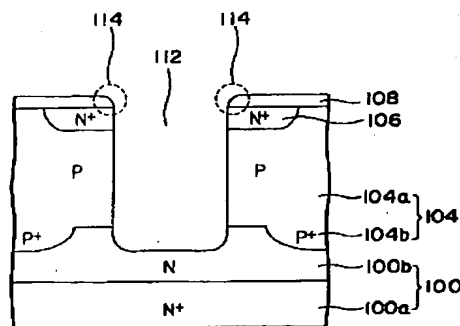
【図10】



【図12】



【図13】



【図14】

